

## **Tema 3. Buses**

- 1. Introducción**
  - Jerarquía de buses
  - Clasificación
  - Fases de una transacción
- 2. Transferencia de datos**
- 3. Temporización**
  - Bus síncrono
  - Bus asíncrono
  - Bus semisíncrono
- 4. Arbitraje del bus**
  - Centralizado
  - Distribuido
- 5. Mecanismos de interrupción**

*Arquitectura de computadores. Plan 96. Curso 2010-2011*

## **Jerarquía de buses**

- **Bus local**
  - **Bus del sistema**
    - Buses rápidos y cortos.
    - Optimizados para la arquitectura.
  - **Bus de expansión o de E/S**
    - Bus más largo y lento.
    - Reduce el tráfico en el bus del sistema.
    - Standard, independiente del computador y accesible por el usuario.
    - Ejemplos: ISA, PCI, USB, ATA, SCSI, VME,...
- **Interfaz con el bus de expansión**
  - Adapta las velocidades de ambos buses.
  - Actúa como buffer de almacenamiento intermedio para evitar la pérdida de datos.
  - Se comunica de forma síncrona con el bus del sistema y de forma asíncrona con el bus de expansión.

*Arquitectura de computadores. Plan 96. Curso 2010-2011*

## Jerarquía de buses

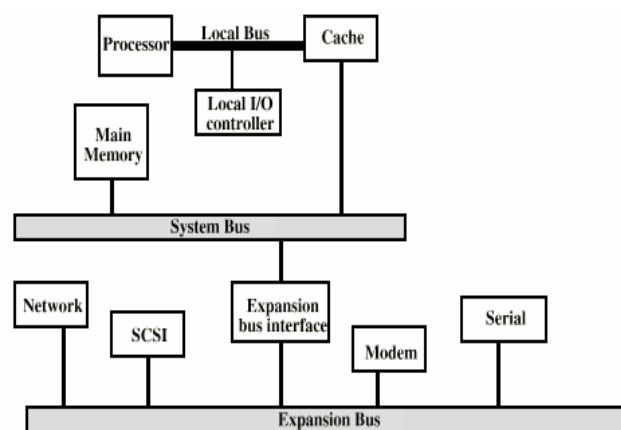
### ➤ **Buses para dispositivos de distinta velocidad**

Aumentan el rendimiento del sistema

- **Bus alta velocidad**  
Conexión de dispositivos de E/S de alta velocidad
- **Bus de expansión**  
Conexión de dispositivos de E/S lentos
- **Bus de E/S externo**  
Interconexión de discos externos y otros dispositivos

*Arquitectura de computadores. Plan 96. Curso 2010-2011*

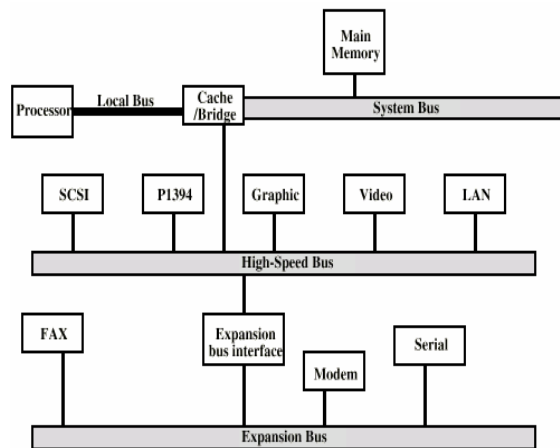
## Jerarquía de buses **Arquitectura tradicional**



*Arquitectura de computadores. Plan 96. Curso 2010-2011*

### Jerarquía de buses

#### Arquitectura de altas prestaciones



*Arquitectura de computadores. Plan 96. Curso 2010-2011*

### Jerarquía de buses

#### Ventajas

- Agrupa, en los diferentes tipos de buses, los componentes del computador con similar velocidad de transmisión de información.
- Mejora el rendimiento del computador.
- El bus local entre el procesador y la cache aísla el tráfico de E/S del procesador.
- Puede transferirse información entre memoria y E/S sin interrumpir la actividad del procesador.
- La transferencia entre cache y memoria principal se pueden realizar de forma más eficiente.
- Puede realizarse una transferencia de memoria cache a memoria principal al mismo tiempo que el interfaz recibe datos desde un dispositivo de E/S.

*Arquitectura de computadores. Plan 96. Curso 2010-2011*

### Clasificación

#### **Características**

Serie  
Paralelo  
Dedicado  
Multiplexado

#### **Información transmitida**

Direcciones  
Datos  
Control

#### **Temporización**

Síncrono  
Asíncrono

#### **Arbitraje**

Centralizado  
Distribuido

#### **Transferencia de datos**

Lectura  
Escritura  
Read-modify-write  
Read-after-write  
Bloque

*Arquitectura de computadores. Plan 96. Curso 2010-2011*

### Transacción

Secuencia completa de operaciones desde que comienza la petición del bus hasta que concluye la transferencia. Requiere varios ciclos de bus.

#### • **Fases de una transacción**

- Petición del bus
- Asignación del bus
- Direccionamiento
- Transferencia de datos
- Detección de errores
- Indicación de fin de transacción

*Arquitectura de computadores. Plan 96. Curso 2010-2011*

### Transferencia de datos

- **Escritura**

- Multiplexado

**Dirección**  
ciclo 1

**Datos**  
ciclo2

- No multiplexado

**Dirección**  
**Datos**

- **Lectura**

- Multiplexado

**Dirección** tiempo de acceso **Datos**

- No multiplexado

**Dirección**  
**Datos**

- **Bloque**

**Dirección** **Dato** **Dato** **Dato** ....

*Arquitectura de computadores. Plan 96. Curso 2010-2011*

### Transferencia de datos

- **Read - modify- write**

**Dirección** ----- **Lectura Dato** **Escritura Dato**

- **Read - after- write**

**Dirección** **Escritura Dato** ----- **Lectura Dato**

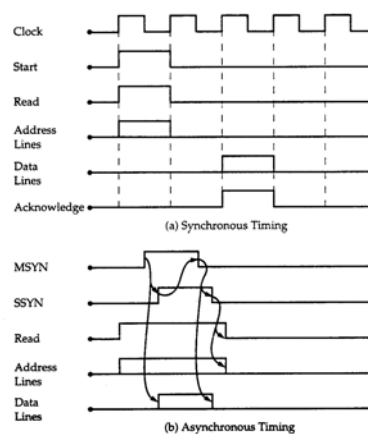
*Arquitectura de computadores. Plan 96. Curso 2010-2011*

## Temporización

- Coordinación de eventos en las transacciones del bus.
- Un ciclo de bus tiene varios pasos, dirigidos por señales de control, para que los eventos ocurran en el orden correcto.
- **Diagramas de temporización**
- Representan la comunicación entre dos dispositivos conectados a través de un bus.
- Representan cómo ocurren las secuencias de acciones y las relaciones causa-efecto entre diferentes eventos.
- La transición de una señal en un dispositivo puede dar lugar a transiciones en las señales de otros dispositivos.

*Arquitectura de computadores. Plan 96. Curso 2010-2011*

## Temporización



*Arquitectura de computadores. Plan 96. Curso 2010-2011*

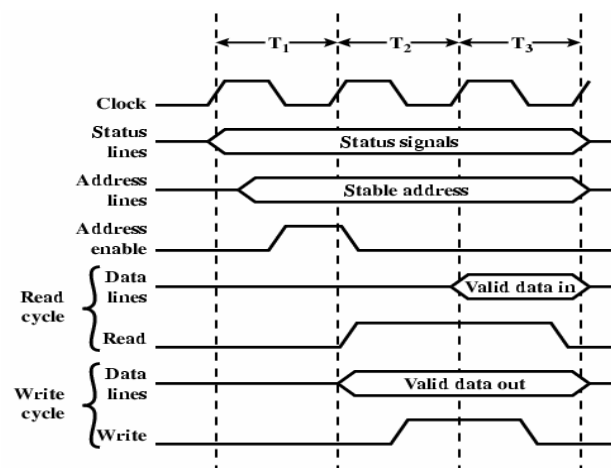
## Temporización

### Síncrona

- Reloj común.
- La ocurrencia de eventos en el bus está determinada por el reloj.
- Los eventos se producen en tiempos fijos.
- Todos los dispositivos, independientemente de su velocidad, deben utilizar la misma señal de sincronismo para acceder al bus.
- Ejemplo: Bus PCI

*Arquitectura de computadores. Plan 96. Curso 2010-2011*

### Temporización síncrona



*Arquitectura de computadores. Plan 96. Curso 2010-2011*

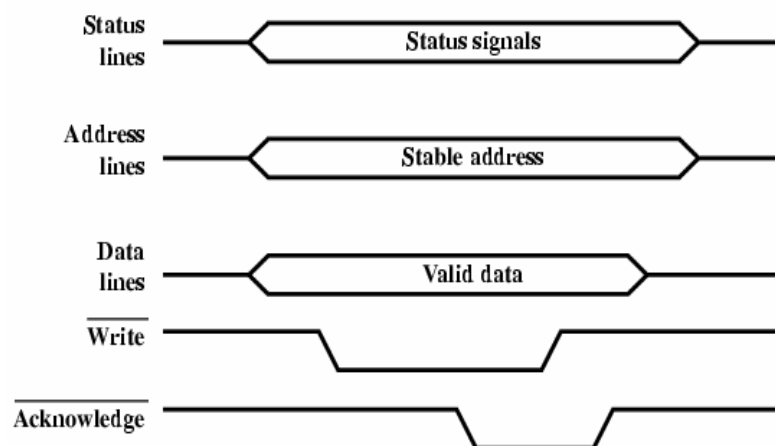
## Temporización

### Asíncrona

- Ausencia de reloj.
- Se utiliza un protocolo de temporización.
- Todas las interacciones se deben propagar por el bus.
- Utilizan señales del bus de control que sincronizan los diferentes pasos en la comunicación.
- La ocurrencia de cada evento depende de los eventos previos.
- Permite ajustar las diversas velocidades de los dispositivos.
- Ejemplo: Futurebus
- Ejemplo: Protocolo *handshake*
- **No bloqueante**
- **Semibloqueante**
- **Completamente bloqueante**

Arquitectura de computadores. Plan 96. Curso 2010-2011

### Temporización asíncrona. Escritura



Arquitectura de computadores. Plan 96. Curso 2010-2011



### Temporización asíncrona. Lectura

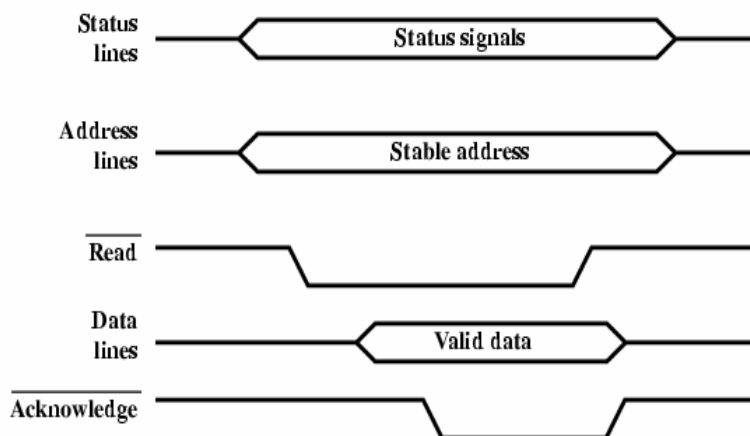
#### Operación de lectura asíncrona:

- 1) El dispositivo *master* solicita el acceso: indica la dirección y las señales de control válidas.
- 2) El *slave* realiza la tarea pedida y activa su señal al terminar.
- 3) El *master* toma el dato válido y desactiva la señal.
- 4) El *slave* detecta que el *master* ha desactivado su señal y desactiva la suya.

Los buses no multiplexados son más rápidos al poder indicar direcciones y recibir datos a la vez.

Arquitectura de computadores. Plan 96. Curso 2010-2011

### Temporización asíncrona. Lectura



Arquitectura de computadores. Plan 96. Curso 2010-2011

## **Temporización**

### **Semisíncrona**

- Ausencia de reloj.
- Ciclo de señales proporcional al ciclo de reloj patrón.
- Buses síncronos a los que se les añaden señales asíncronas para comunicarse con dispositivos lentos.

Los dispositivos rápidos pueden tener que esperar ciertos ciclos de reloj hasta la activación de alguna señal por parte del dispositivo lento.

Ejemplo: procesador 68000

*Arquitectura de computadores. Plan 96. Curso 2010-2011*

## **Arbitraje del bus**

Varios dispositivos pueden controlar y solicitar el bus.

Ejemplo: CPU y controlador de DMA

### **Arbitraje**

Proceso para asegurar que no se produzcan conflictos en el bus.  
Solo un dispositivo sitúa información en el bus.

Las señales de control de arbitraje determinan que dispositivo puede comenzar una transacción.

*Arquitectura de computadores. Plan 96. Curso 2010-2011*

## Arbitraje del bus

### **Mecanismo master – slave**

Un dispositivo *master* puede controlar el bus y situar información en él.  
Pueden existir varios dispositivos *master*.

Un dispositivo *slave* recibe e interpreta las señales del *master*.

Ejemplo: Controlador de DMA (*slave*) en arquitecturas 80x86.  
CPU (*master*).

La DMA solicita la utilización del bus del sistema (HOLD).  
La CPU concede el permiso (HOLDA).

Arquitectura de computadores. Plan 96. Curso 2010-2011

## Arbitraje centralizado

Un único dispositivo controla el acceso al bus y gestiona todas las peticiones.

Ejemplo: PCI, VME

Puede ser parte de la CPU o no.

- Controlador de bus
- Arbitro

Ante varias peticiones se activa una señal de concesión.

### **Mecanismos de concesión del bus:**

- Rotación
- Prioridad

.....

Configuración en *daisy chain*: la prioridad viene determinada por la proximidad del *slave* al árbitro.

Arquitectura de computadores. Plan 96. Curso 2010-2011

### **Arbitraje distribuido**

No hay control central del bus.

Todos los dispositivos contienen lógica de control de acceso al bus.

*Los master* se ponen de acuerdo sobre quién transmite.

- Envían un identificador al bus.
- Monitorizan el estado del bus.
- Comprueban si mantienen el arbitraje.

Ejemplos: Bus SCSI

Bus CAN (*Controller Area Network*).

El uso de líneas de arbitraje independientes permite aprovechar mejor el ancho de banda del bus.

Arquitectura de computadores. Plan 96. Curso 2010-2011

### **Mecanismo de interrupción**

Basado en prioridades.

Bus dedicado o compartido

#### **Bus de interrupciones dedicado**

Utiliza líneas de interrupción específicas.

Gestor de interrupciones

Recibe las peticiones de acceso al bus.

Aplica la política de arbitraje.

#### **Bus de interrupciones compartido**

No existen líneas específicas para interrupciones.

No existe un gestor de interrupciones específico.

Las peticiones de interrupción se realizan mediante un mensaje sobre el bus.

Arquitectura de computadores. Plan 96. Curso 2010-2011